

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

DECODING DEVICE OF DIGITAL SIGNALS

Patent Number: JP10027433
Publication date: 1998-01-27
Inventor(s): TOKUNAGA SHINJI;; SHIMOTASHIRO
Applicant(s): MATSUSHITA ELECTRIC IND CO LTD
Requested Patent: ☒ JP10027433
Application JP19960178904 19960709
Priority Number(s):
IPC Classification: G11B20/14
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To increase no error rate and bring about stable behaviour of Viterbi decoding in a recording/reproducing device of digital signals which uses Viterbi decoding at the reproduction even when characteristics of the device are changed by structural dispersion in parts or changes in power source voltage or temperature.

SOLUTION: After a reproduced signal undergoes removal of its waveform distortion by a waveform equalizing means 11 and is converted to a partial response signal of class 4 by a waveform converting means 12, it is converted to a multi-valued digital signal by an A/D converter 13 to be decoded by a Viterbi decoding circuit 14. In this case, clocks in synchronization with the bit rate of the reproduced signal are generated in a clock reproducing circuit 15 to be used for sampling clocks of the A/D converter 13. By detecting the timing error of these clocks in a sampling timing detecting circuit 15 and feeding them back to the clock reproducing circuit 15, clocks are controlled to be supplied with correct timing at all times.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-27433

(43)公開日 平成10年(1998) 1月27日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 B 20/14	3 5 1	9463-5D	G 1 1 B 20/14	3 5 1 A

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21)出願番号 特願平8-178904

(22)出願日 平成8年(1996) 7月9日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 徳永 真志

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 下田代 雅文

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

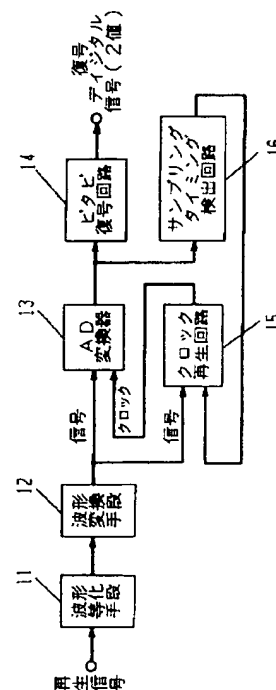
(74)代理人 弁理士 滝本 智之 (外1名)

(54)【発明の名称】 デジタル信号の復号装置

(57)【要約】

【課題】 再生時にビタビ復号を用いるデジタル信号の記録再生装置に関し、部品ばらつきや、電源電圧、温度変化によって特性が変化しても、誤り率が増加せず、安定にビタビ復号を動作させる。

【解決手段】 再生信号は波形等化手段11で波形歪みを除去され、波形変換手段12でパルシャルレスポンスクラス4信号に変換された後、AD変換器13で多値のデジタル信号に変換され、ビタビ復号回路14で復号される。再生信号のビットレートに同期したクロックがクロック再生回路15で生成され、AD変換器13のサンプリングクロックに用いられるが、このクロックのタイミング誤差をサンプリングタイミング検出回路16で検出し、クロック再生回路15に帰還して、常に正しいタイミングでクロックが供給されるように制御する。



【特許請求の範囲】

【請求項1】 デジタルデータを記録した媒体より再生された信号をデジタルデータに復号するデジタル信号の復号装置であって、記録媒体から再生された信号を波形等化する波形等化手段と、前記波形等化手段の出力をパーシャルレスポンス波形に変換する波形変換手段と、前記波形変換手段の出力を入力とするアナログ・デジタル変換器と、前記アナログ・デジタル変換器の出力よりデジタル信号に復号するビタビ検出回路と、前記アナログ・デジタル変換器の出力よりアナログ・デジタル変換のサンプリングタイミングと期待値との誤差を求めるサンプリングタイミング検出回路と、前記波形変換手段の出力より再生クロックを抽出し、前記サンプリングタイミング検出回路の出力によって再生クロックのタイミングを補正するクロック再生回路とを備え、前記クロック再生回路より出力された再生クロックを前記アナログ・デジタル変換器のサンプリングクロックとすることを特徴とするデジタル信号の復号装置。

【請求項2】 デジタルデータをインターリーブドNRZI変換して前記媒体に記録し、再生された信号を1+D回路で構成された波形変換手段に入力して、再生信号をパーシャルレスポンス・クラス4に変換した後、ビタビ復調するデジタル信号の復号装置であって、サンプリングタイミング検出回路は、アナログ・デジタル変換器の出力を入力とし、あらかじめ設定した第1の閾値より大きいサンプルが2個連続するか、またはあらかじめ設定した第2の閾値より小さいサンプルが2個連続することを検出する1-1検出部と、前記1-1検出部で検出された2個のサンプルの大きさを比較する大小比較部と、前記大小比較部の出力を平均する平均化部と、前記平均化部の出力をアナログ電圧に変換するデジタル・アナログ変換器とを備えたことを特徴とする請求項1記載のデジタル信号の復号装置。

【請求項3】 クロック再生回路は、波形変換手段の出力を入力とするエッジ検出部と、前記エッジ検出部の出力と後述する遅延部の出力とを位相比較する位相比較部と、前記位相比較部の出力を入力とする電圧制御発振部と、前記電圧制御発振部の出力を遅延させ、電圧で遅延時間を可変できる遅延部とを備え、サンプリングタイミング検出回路から出力されるアナログ電圧によって前記遅延部の遅延時間を変化させ、前記電圧制御発振部の出力を再生クロックとしてアナログ・デジタル変換器に出力することを特徴とする請求項1記載のデジタル信号の復号装置。

【請求項4】 クロック再生回路より出力された再生ク

ロックを、クロック選択回路に入力し、前記クロック選択回路より出力されたクロックをアナログ・デジタル変換器のサンプリングクロックとするデジタル信号の復号装置であって、

前記クロック選択回路は、前記クロック再生回路より出力された再生クロックを初段の入力とする、複数の遅延素子のシーケンシャル接続と個々の遅延素子の出力を選択する選択回路よりなる遅延選択部と、サンプリングタイミング検出回路の出力であるアナログ電圧を入力とし、前記アナログ電圧の可変範囲の最大値と最低値を検出して、はりつき信号を出力するはりつき信号発生部と、前記はりつき信号を入力とし、はりつき信号によって前記遅延選択部の選択回路の設定を変更する制御部とを備え、

前記遅延選択部の出力クロックを前記クロック選択回路の出力とすることを特徴とする請求項1記載のデジタル信号の復号装置。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、映像信号、音声信号をデジタル信号に変換して、記録再生するデジタル記録再生装置に関する。

【0002】

【従来の技術】近年、デジタル磁気記録再生装置では高密度化が進み、再生信号のS/N比が低下しても誤りの増加を抑えるため、ビタビ復号が利用されることが増えている。ビタビ復号を用いたデジタル信号の磁気記録再生装置の従来例を、図7に従って説明する。

【0003】図7において、磁気ヘッド101から再生された信号は、再生アンプ102で一定の振幅まで増幅されて、等化回路103に入力される。等化回路103で波形の歪みを直した後、波形変換回路104でパーシャルレスポンス波形に変換されて、アナログ・デジタル変換器（以下、AD変換器と称す）105とクロック再生回路107に出力される。クロック再生回路107では、入力信号に同期したクロックを再生し、AD変換器105は、前記クロックによりパーシャルレスポンス波形を多値のデジタル信号に変換してビタビ復号回路106に出力する。

【0004】ビタビ復号回路106では、波形の相関性に基づいて検出をおこなう。ビタビ復号を用いると、再生信号をビット毎に閾値で1、0判別する場合に比べて、同じS/N比で1桁以上良い誤り率で復号できる。（例えば、H.Kobayashi D.T.Tang 「Application of Partial-response Channel Coding to Magnetic Recording Systems」IBM J. RES.DEVELOP JULY 1970 に示されている。）

【0005】

【発明が解決しようとする課題】しかし、ビタビ復号をするには、再生波形を信号のビットレート周波数でサン

プリングしAD変換する際に、再生波形を1、0に判別するタイミング（以下、データ検出点と呼ぶ）を厳密に守ってサンプリングしないと誤りが増加するという問題がある。

【0006】ここで、家庭用デジタルビデオテープレコーダにおいて、パーシャルレスポンスクラス4信号（PR4（1，0，-1）信号）をビットレートの4倍のサンプリング周波数でAD変換して計算機に取り込み、ビットレート周波数にダウンサンプリングしてビタビ復号する際に、ダウンサンプリングのタイミングを正しいデータ検出点よりずらして、誤り率の変化を求めるシミュレーションを行った結果を図8に示す。図8において、横軸は正しいデータ検出点からのタイミングのずれであり、縦軸はビット誤り率である。図8に示すように、タイミングが±2.5nsずれるとビット誤り率は1桁悪化する。

【0007】部品ばらつきや、電源電圧、温度変化によって、サンプリングのタイミングは変化する。変化量はシステム構成や使用部品によって異なるが、我々の試作したシステムでは最大6ns変化することが予想された。そのため、検出点のタイミングを補正する手段が必要であった。

【0008】

【課題を解決するための手段】本発明のデジタル信号の復号装置は上記課題を解決するために、AD変換器のサンプリングタイミングと正しいデータ検出点との誤差を検出するサンプリングタイミング検出回路を設けて、クロック再生回路の出力する再生クロックのタイミングを制御し、常に正しいタイミングでAD変換器が動作するようにしたものである。

【0009】

【発明の実施の形態】本発明は、デジタルデータを記録した媒体より再生された信号をデジタル信号に復号するデジタル信号の復号装置であって、記録媒体から再生された信号を波形等化する波形等化手段と、波形等化手段の出力をパーシャルレスポンス波形に変換する波形変換手段と、波形変換手段の出力を入力とするAD変換器と、AD変換器の出力よりデジタル信号に復号するビタビ検出回路と、AD変換器の出力よりAD変換のサンプリングタイミングと期待値との誤差を求めるサンプリングタイミング検出回路と、波形変換手段の出力より再生クロックを抽出し、サンプリングタイミング検出回路の出力によって再生クロックのタイミングを補正するクロック再生回路とを備え、クロック再生回路より出力された再生クロックをAD変換器のサンプリングクロックとしたものであり、サンプリングタイミング検出回路の出力によって再生クロックのタイミングを補正し、AD変換器のサンプリングクロックとすることによって、サンプリングタイミングのずれを自動的に補正し、誤り率の悪化をふせぐことができる。

【0010】以下、本発明の実施の形態について、図面を参照しながら説明する。

（実施の形態1）図1は、本発明の実施の形態1によるデジタル信号の復号装置の構成を示すブロック図である。

【0011】図1において、記録媒体（図示せず）からの再生信号は、波形等化手段11によって波形の歪みを除去され、波形変換手段12に入力される。入力された信号は、波形変換手段12によってパーシャルレスポンス波形に変換される。例えば、家庭用デジタルVTRでは、波形変換手段12は1+D回路（所定の遅延を施したものと加算する回路）によって構成され、パーシャルレスポンスクラス4波形に変換される。

【0012】波形変換手段12の出力は、クロック再生回路15に入力され、再生信号に同期し再生信号のビットレート周波数のクロックが出力される。また波形変換手段12の出力はAD変換器13に入力され、クロック再生回路15の出力するクロックによって多値のデジタル信号に変換される。AD変換器13の出力はビタビ復号回路14に入力される。入力された信号は復号され、デジタル2値信号が出力される。

【0013】また、AD変換器13の出力はサンプリングタイミング検出回路16に入力され、演算によって正しい検出点からのサンプリングタイミングの誤差が検出される。検出された誤差はクロック再生回路15に帰還され、AD変換器13に出力するクロックのタイミングを補正する。

【0014】このようにして、AD変換器13は正しいデータ検出点で入力信号をサンプリングし、ビタビ復号回路14で誤りが増加するのを防ぐ。

【0015】次に本実施の形態の詳細を図2、図3を用いて説明する。先に述べたように再生信号がパーシャルレスポンスクラス4波形の場合、波形変換手段12は1+D回路によって構成される。この場合、再生信号の孤立波形（0，1，0，0）は（0，1，1，0）となり、図2に示す波形になる。

【0016】図2において、丸印の41～48がAD変換器13のサンプリング点である。サンプリング点41～44が先に述べた（0，1，1，0）に対応し、サンプリング点45～48は再生信号が（0，-1，0，0）の時の1+D回路の出力（0，-1，-1，0）に対応する。

【0017】AD変換器13のサンプリングタイミングが正しいデータ検出点に一致する場合、図2の2つの「1」であるサンプリング点42、43の振幅（図2の上向きの矢印の長さ）は互いに等しく、+1レベルに一致する。しかし、サンプリングタイミングが進んでいる場合には、図2に示すように前側の「1」であるサンプリング点42の振幅が後ろ側の「1」であるサンプリング点43の振幅より小さくなり、逆にサンプリングタイ

ミングが遅れている場合には、前側の「1」であるサンプリング点42の振幅が後ろ側の「1」であるサンプリング点43の振幅より大きくなる。

【0018】また同様に、AD変換器13のサンプリングタイミングが正しいデータ検出点に一致する場合、図2の2つの「-1」であるサンプリング点46、47の振幅（図2の下向きの矢印の長さ）は互いに等しく、-1レベルに一致する。しかし、サンプリングタイミングが進んでいる場合には、図2に示すように前側の「-1」であるサンプリング点46の振幅が後ろ側の「-1」であるサンプリング点47の振幅より小さくなり、逆にサンプリングタイミングが遅れている場合には、前側の「-1」であるサンプリング点46の振幅が後ろ側の「-1」であるサンプリング点47の振幅より大きくなる。

【0019】よって、連続する2つの「1」または「-1」のサンプリング点の振幅の大きさを比較し、前側のサンプリング点の振幅が後ろ側のサンプリング点の振幅より小さいときはサンプリングタイミングを遅らし、前側のサンプリング点の振幅が後ろ側のサンプリング点の振幅より大きいときはサンプリングタイミングを進めるように制御すれば、サンプリングタイミングを正しいデータ検出点に一致するよう保つことができる。

【0020】図3にサンプリングタイミングを検出するサンプリングタイミング検出回路16の構成をブロック図で示す。サンプリングタイミング検出回路16は、1-1検出部51、大小比較部52、平均化部53、PWM出力部54から構成される。図3において、AD変換器13の出力が1-1検出部51に入力され、あらかじめ定められた閾値と比較されて、「1」-「1」が連続するか、または「-1」-「-1」が連続するかが検出される。この検出出力は大小比較部52に入力され、1-1検出部51で検出された2点の振幅の大小比較の結果が出力される。大小比較部52の出力が平均化部53に入力されて平均化され、平均化部53の出力がPWM出力部54に入力される。PWM出力部54では平均化部53より出力される信号の振幅または極性によってPWM信号（パルス幅変調信号）のデューティを増減して、クロック再生回路15に出力する。

【0021】このようにして、サンプリングタイミングの進み、遅れを検出し、クロック再生回路15に補正信号をPWM信号として出力する。なお、これら図3の回路ブロックは全てデジタル回路で構成することができる。

【0022】次に本実施の形態におけるクロック再生回路の一構成例について、図4を用いて説明する。

【0023】図4において、図1の波形変換手段12の出力信号をエッジ検出部61に入力し、信号波形のエッジを検出する。位相比較部62で、エッジ検出部61の出力と後述する遅延部65の出力の位相差を検出し、電

圧制御発振部63に出力する。電圧制御発振部63は入力に応じてクロック発振の周波数を変える。電圧制御発振部63の出力は遅延部65に入力され、遅延量を調整された後、位相比較部62にフィードバックされる。位相比較部62、電圧制御発振部63、遅延部65でループを形成し、位相比較部62の出力が0になる状態を収束点とするフェイズ・ロックド・ループ（PLL）動作となる。電圧制御発振部63の出力クロックは位相比較部62の入力に位相同期し、位相比較部62の入力位相は図1の波形変換手段12の出力波形の位相より検出されているため、電圧制御発振部63の出力クロックは波形変換手段12の出力波形に位相同期する。電圧制御発振部63の出力クロックを図1のAD変換器13のクロックに用いることにより、AD変換器13は入力信号である波形変換手段12の出力信号に同期したサンプリングを行うことができる。

【0024】また、上記フェイズ・ロックド・ループは位相比較部62の出力が0になる状態を収束点とするため、電圧制御発振部63の出力位相は、遅延部65の遅延時間分だけ、位相比較部62の入力である波形変換手段12の出力信号と位相差を持つ。よって、遅延部65の遅延時間を変化させることによって、電圧制御発振部63の出力クロックの位相を変化させることができる。

【0025】遅延部65に電圧で遅延時間を変えられる遅延線を使用し、図4に示すように、図1のサンプリングタイミング検出回路16のPWM出力をLPF（ローパスフィルタ）64に入力して直流成分を抽出し、遅延部65の遅延時間制御端子に入力する。LPF64出力の直流電圧によって遅延時間を変えて、電圧制御発振部63の出力クロックのタイミングを変え、同クロックを入力とする図1のAD変換器13のサンプリングクロックのタイミングを変えることができる。

【0026】このようにして、図1のサンプリングタイミング検出回路16の出力によって、AD変換器13のサンプリングクロックのタイミングを変えることができる。

【0027】またこの場合、位相比較部62、電圧制御発振部63、遅延部65より成る小規模のフェイズ・ロックド・ループと、図1のAD変換器13、サンプリングタイミング検出回路16、クロック再生回路15より成る大規模の遅延時間可変ループとが2重ループになるため、それぞれのループを安定に収束させるため、後者の応答時間を前者に比べて遅くなるように設計する。

【0028】なお、図4の回路ブロックは全てアナログ回路で構成することができる。

（実施の形態2）次に、本発明の実施の形態2によるデジタル信号の復号装置について、説明する。

【0029】実施の形態1では、サンプリングタイミングを変えるために電圧で遅延時間を変えられる遅延線を使用しているため、タイミングの変化幅はこの遅延線の

変化範囲に限られる。本実施の形態は、遅延線の変化範囲以上に遅延量を変化させる手段を備えたもので、以下、図5および図6を用いて説明する。

【0030】図5は、実施の形態1の説明に用いた図1にクロック選択回路77を追加したものである。図1ではクロック再生回路15の出力する再生クロックをAD変換器13のサンプリングクロックとしていたが、図5ではクロック再生回路75の出力する再生クロックをクロック選択回路77の入力とし、クロック選択回路77の出力するクロックをAD変換器73のサンプリングクロックとする。なお、特に説明の無い構成要素については、図1に示したものと同一とする。

【0031】図6は、クロック選択回路77の内部構成を示すブロック図である。図6において、クロック再生回路75が出力する再生クロックは、複数個の遅延素子のシーケンシャル接続と個々の遅延素子の出力を選択する選択回路よりなる遅延選択部83に入力され、選択回路で選ばれた個数の遅延素子を通過し、入力より遅れたクロックがAD変換器73にサンプリングクロックとして出力される。

【0032】また、サンプリングタイミング検出回路76より出力されるPWM波形がはりつき信号発生部81に入力される。はりつき信号発生部81の動作を図3、図4との関連において説明する。電圧で遅延時間を変えられる図4の遅延部65が遅延可変範囲の限界になっても、サンプリングタイミングの誤差がある場合、図3のPWM出力部54は更に遅延時間を変化させようとするため、PWM波形のデューティは変化し続け、デューティ変化範囲の限界(0%または100%)に達する。はりつき信号発生部72はPWMのデューティが限界に達したことを検知して、デューティが0%であるか、100%であるかに対応して、2通りのはりつき信号を制御部82に出力する。

【0033】制御部82では、はりつき信号が遅延時間を増加させる方向であれば遅延選択部83の選択回路を以前の設定より遅延素子の個数が増える設定に切り換え、はりつき信号が遅延時間を減少させる方向であれば遅延選択部83の選択回路を以前の設定より遅延素子の個数が減る設定に切り換える。

【0034】このようにして、サンプリングタイミング検出回路76の出力によって、遅延選択部83の遅延時間を変化させ、AD変換器73に正しいデータ検出点に一致するタイミングのサンプリングクロックを出力するように動作する。遅延選択部83の遅延素子の個数には制限がないため、遅延可変量は無制限に大きくできる。

【0035】なお、制御部82は、はりつき信号がN個($N \geq 1$)連続して同方向であった場合に、遅延選択部83の選択回路を切り換えるようにしてもよい。

【0036】なお、図3のPWM出力部54がPWMの設定値をバイナリカウンタに保存し、デューティ0%に

相当する値として0を、デューティ100%に相当する値として最大値を設定してもよい。このときPWMの設定値が100%で更に大きくする信号が平均化部53より入力されれば、PWM出力部54はバイナリカウンタの値を最大値より+1して値は0になり、PWMの設定値が0%で更に小さくする信号が入力されればバイナリカウンタの値を0より-1して値は最大値になる。これを防ぐため、図6のはりつき信号発生部81よりPWMの値が0%であることを示すはりつき信号を、図3のPWM出力部54に帰還して、平均化部53よりバイナリカウンタを減算する動作を禁止し、図6のはりつき信号発生部81よりPWMの値が100%であることを示すはりつき信号を、図3のPWM出力部54に帰還して、平均化部53よりバイナリカウンタを加算する動作を禁止する。このようにすれば、バイナリカウンタの値は0および最大値を超えて変化することはない。また、バイナリカウンタの値が0のとき、平均化部53がバイナリカウンタを加算するよう出力したときにバイナリカウンタは動作を再開する。また、バイナリカウンタの値が最大値のとき、平均化部53がバイナリカウンタを減算するよう出力したときにもバイナリカウンタは動作を再開する。このようにして、PWM出力部54は安定に動作する。

【0037】

【発明の効果】以上述べてきたように、本発明のデジタル信号の復号装置によれば、サンプリングタイミング検出回路の出力によって再生クロックのタイミングを補正することによって、AD変換器のサンプリングタイミングのずれを自動的に補正する。

【0038】このため、部品ばらつきや、電源電圧、温度変化によって回路の遅延特性が変わり、サンプリングタイミングが変化した場合も、AD変換器のサンプリングタイミングは正しい状態に保たれ、誤り率の増加を防ぐことができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1におけるデジタル信号の復号装置の構成を示すブロック図

【図2】同復号装置のサンプリングタイミング検出回路の動作を示す波形図

【図3】同復号装置のサンプリングタイミング検出回路の構成を示すブロック図

【図4】同復号装置のクロック再生回路の構成を示すブロック図

【図5】本発明の実施の形態2におけるデジタル信号の復号装置の構成を示すブロック図

【図6】同復号装置のクロック選択回路の構成を示すブロック図

【図7】従来のデジタル信号の復号装置の構成を示すブロック図

【図8】同復号装置のサンプリングの変化に対するビッ

ト誤り率の変化を示す図

【符号の説明】

11 波形等化手段

12 波形変換手段

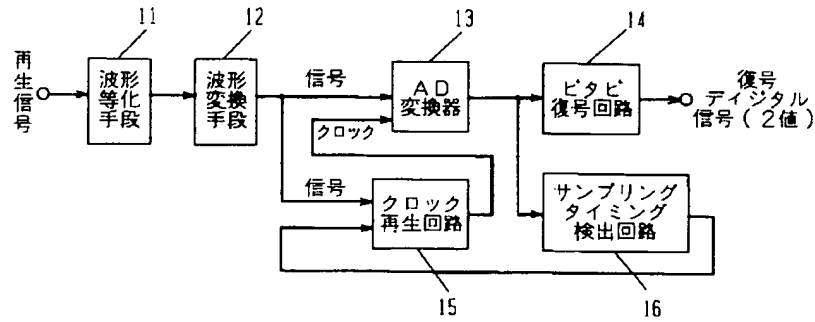
13 AD変換器

14 ビタビ復号回路

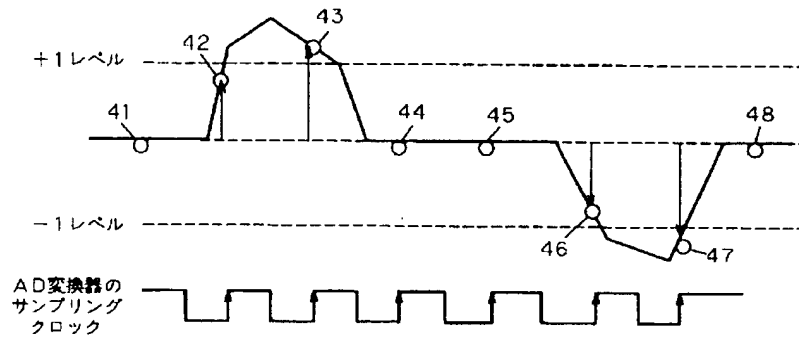
15 クロック再生回路

16 サンプリングタイミング検出回路

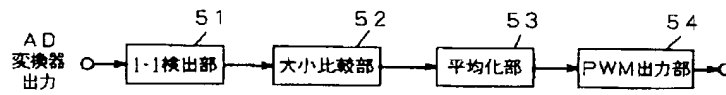
【図1】



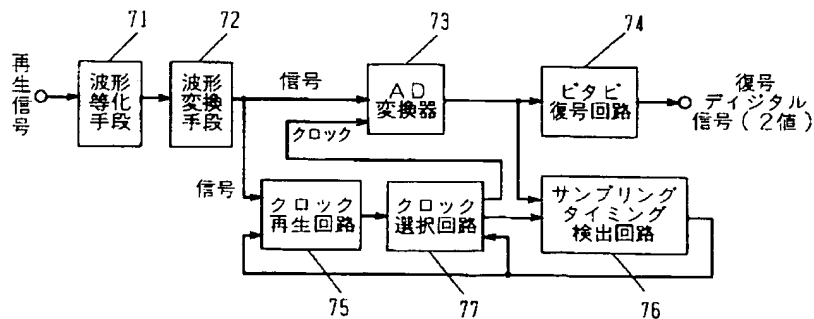
【図2】



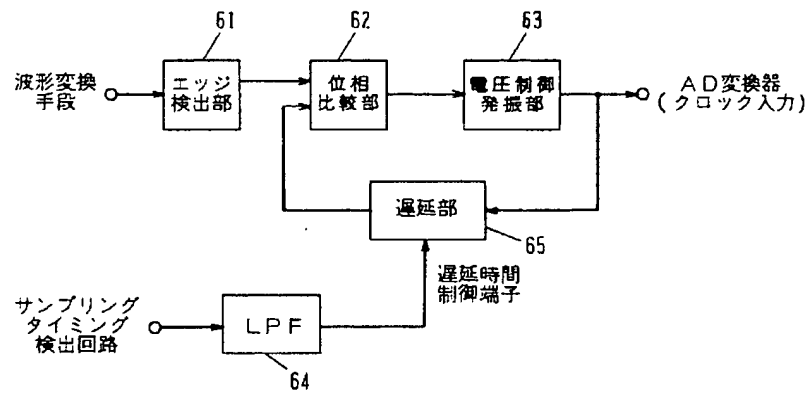
【図3】



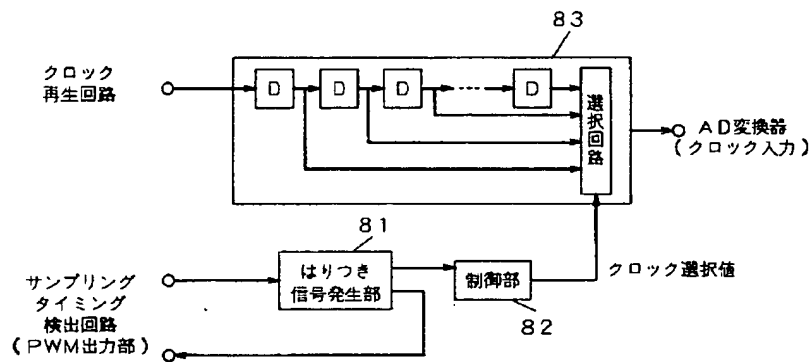
【図5】



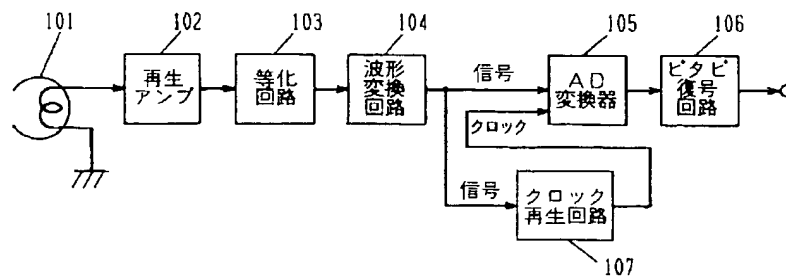
【図4】



【図6】



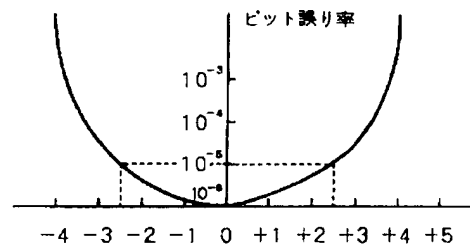
【図7】



(8)

特開平10-27433

【図8】



正しいデータ検出点からのタイミングのずれ (ns)